

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

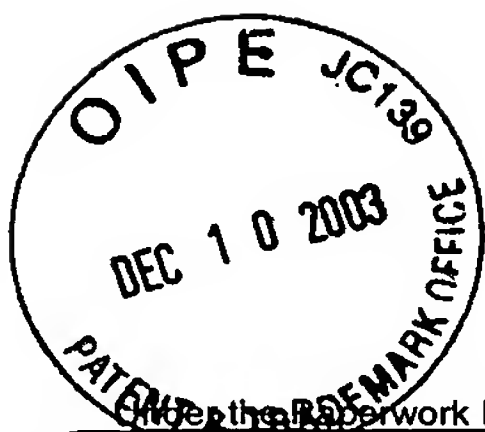
TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/605,549	
	Filing Date	10/07/2003	
	First Named Inventor	Da-Cheng Sung	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	VIAP0099USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	Remarks	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		
SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT		
Firm or Individual name	Winston Hsu, Reg. No.: 41,526	
Signature	<i>Winston Hsu</i>	
Date	12/8/2003	

CERTIFICATE OF TRANSMISSION/MAILING		
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.		
Typed or printed name		
Signature		Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/605,549
Filing Date	10/07/2003
First Named Inventor	Da-Cheng Sung
Examiner Name	
Art Unit	
Attorney Docket No.	VIAP0099USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801
Deposit Account Name: North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims: -20** = X =
Independent Claims: -3** = X =
Multiple Dependent: =

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple dependent claim, if not paid	
1204	86	2204	43	** Reissue independent claims over original patent	
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)					(\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature	<i>Winston Hsu</i>	Date	12/8/2003		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

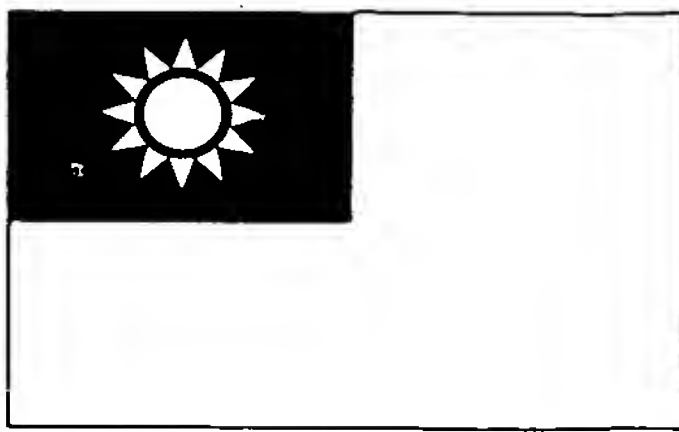
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092107930	Taiwan R.O.C	04/07/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 07 日
Application Date

申請案號：092107930
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 5 月 8 日
Issue Date

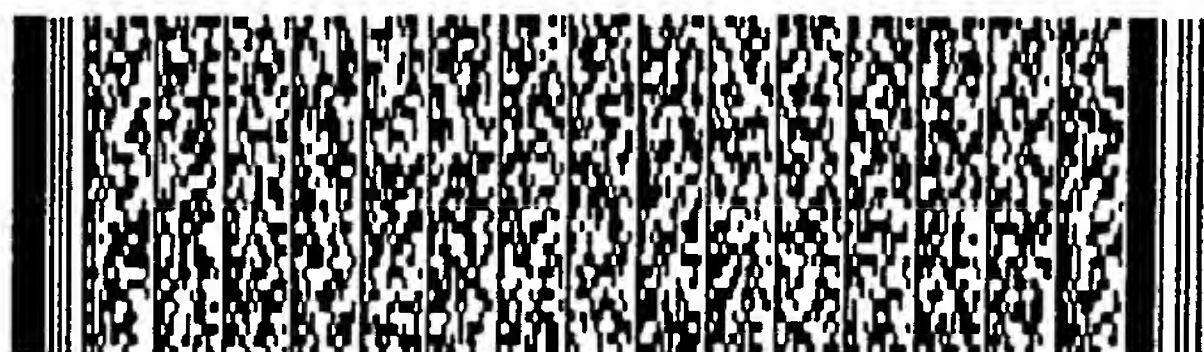
發文字號：09220439000
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	整合式低腳數媒體獨立介面
	英文	INTEGRATED REDUCED MEDIA INDEPENDENT INTERFACE
二、 發明人 (共1人)	姓名 (中文)	1. 宋大成
	姓名 (英文)	1. Sung, Da-Cheng
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	1. 8F, No. 533, Chung-Cheng Rd, Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 威盛電子股份有限公司
	名稱或姓名 (英文)	1. VIA TECHNOLOGIES, INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Wang, Hsueh-Hung



四、中文發明摘要 (發明名稱：整合式低腳數媒體獨立介面)

本發明提供一種整合式低腳數媒體獨立介面及相關運作方法，該整合式低腳數媒體獨立介面用來連接一媒體控制層電路 (MAC Circuit) 以及一實體層電路 (PHY Circuit)，僅包含一資料傳送介面 TXD、一傳送許可介面 TX_EN、一參考時脈介面 REF_CLK、一接收許可介面 CRS_DV、及一資料接收介面 RXD。接收許可介面 CRS_DV 於一偵測錯誤階段及一閒置 (Idle) 階段為一低電位輸出，於一傳輸許可階段為一高電位輸出，而當該接收許可介面 CRS_DV 為低電位輸出時，由該實體層電路經該資料接收介面 RXD 傳送的資料將被該媒體控制層電路所拒收，當該接收許可介面 CRS_DV 為高電位輸出時，傳送的資料將為該媒體控制層電路所接收。

五、(一)、本案代表圖為：第 4 圖

(二)、本案代表圖之元件代表符號簡單說明

六、英文發明摘要 (發明名稱：INTEGRATED REDUCED MEDIA INDEPENDENT INTERFACE)

An integrated reduced media independent interface (Integrated RMII) and related method for interconnecting a MAC Circuit and a PHY Circuit. The Integrated RMII consists of a TXD, a TX_EN, a REF_CLK, a CRS_DV, and a RXD. The CRS_DV is at a predetermined low potential in an error-detecting status and an idle status, and at a predetermined high potential in a transmission status. When the



四、中文發明摘要 (發明名稱：整合式低腳數媒體獨立介面)

圖四為本發明整合式低腳數媒體獨立介面 (Integrated RMII)之複數個介面運作的時序圖。

六、英文發明摘要 (發明名稱：INTEGRATED REDUCED MEDIA INDEPENDENT INTERFACE)

CRS_DV is at the predetermined low potential, the MAC Circuit can reject data transmitted from the PHY Circuit via the RXD. When the CRS_DV is at the predetermined high potential, the MAC Circuit can receive the data transmitted from the PHY Circuit via the RXD.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

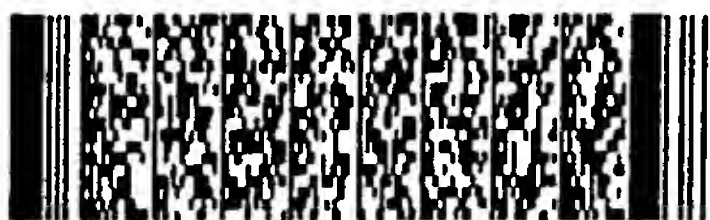
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明提供一種整合式低腳數媒體獨立介面 (Integrated Reduced Media Independent Interface) 及相關運作方法，尤指一種可減少接腳數目 (Pin Count) 的整合式低腳數媒體獨立介面及相關方法。

先前技術

在網路建設蓬勃發展的現代化資訊社會，大量的文字數據、影音資訊與知識技術都能經由無遠弗屆的網路快速地交流傳遞，使社會中每一份子都能分享他人寶貴的技術與經驗，進一步提升社會整體的知識水準。而如何提供價廉質優的網路連接裝置、使網路資源能普遍地為社會中每一個人分享運用，更是資訊業界致力研發的重點之一。隨著頻寬需求的增加與使用者數量的成長，越來越多的企業選擇將網路提升到高速網路的等級，同時，由於乙太網路 (Ethernet) 快速的發展，創造了高速網路的普遍需求，在可預知的將來，乙太網路除了將應用於區域網路 (LAN) 外，由於其傳輸距離及速度的躍進，勢必也將應用在廣域網路 (WAN) 上。

在乙太網路的相關規格方面，原先用來連接一媒體控制層電路 (MAC Circuit) 以及一實體層電路 (PHY Circuit)

五、發明說明 (2)

之間的媒體獨立介面 (Media Independent Interface, MII) 在近幾年，已逐漸被新發展出的低腳數媒體獨立介面 (Reduced Media Independent Interface, RMII) 所取代，低腳數媒體獨立介面 RMII 的規格 (Specification) 與媒體獨立介面 MII 相同，都主要規範在 IEEE 802.3 及 IEEE 802.3u 之中。低腳數媒體獨立介面 RMII 與先前媒體獨立介面 MII 相較，最重要的改善再於其將介面中所需運用的接腳數目 (Pin Count) 大幅的降低，因為在晶片製作及封裝上，接腳數目對於成本控管有決定性的影響，愈多需用到的接腳數代表成本的大幅增加，也就是說，低腳數媒體獨立介面 RMII 提供了完成符合 IEEE 802.3u 規格之介面裝置一個良好的選擇。請參閱圖一，圖一為低腳數媒體獨立介面 RMII 10 的示意圖。如前所述，低腳數媒體獨立介面 RMII 10 是用來連接一媒體控制層電路 12 以及一實體層電路 14，若依訊號及資料傳送方向區分，可分成傳送端 16 (Transmitter) 及接收端 18 (Receiver) 兩部分，於傳送端 16 時，訊號及資料於介面中的流向為媒體控制層電路 12 至實體層電路 14，反之，於接收端 18 之部分，訊號及資料於介面中的流向為實體層電路 14 至媒體控制層電路 12。整體視之，低腳數媒體獨立介面 RMII 10 可分為複數個細部介面，屬於傳送端 16 的部分包含一資料傳送介面 TXD 及一傳送許可介面 TX_EN，資料傳送介面 TXD 是用來將資料由媒體控制層電路 12 傳送至實體層電路 14，一般而言，傳輸的速度有 10 Mb/s 和 100 Mb/s 兩種模式，然而請注意，必

五、發明說明 (3)

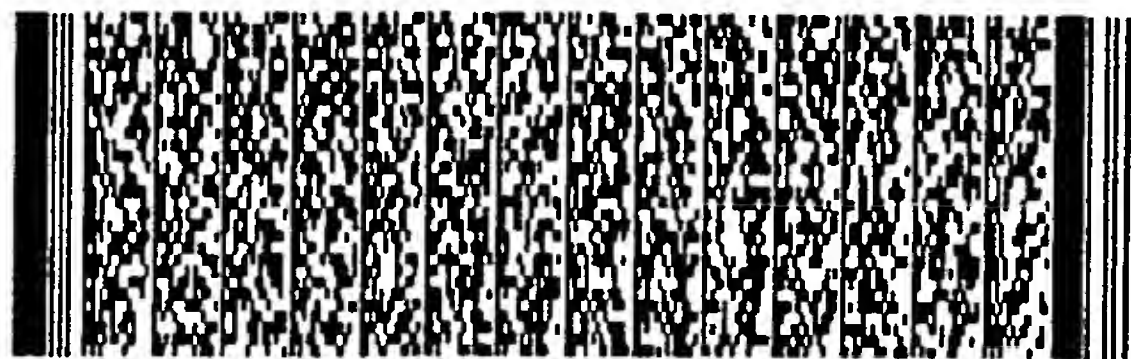
須在傳送許可介面 TX_EN同意 (assert)的情況下 (例如傳送許可介面 TX_EN提供一 (預設之)高電位輸出)，實體層電路 14才會接收經資料傳送介面 TXD由媒體控制層電路 12傳送來的資料，換言之，當傳送許可介面 TX_EN為不同意 (de-assert)的情況下 (例如傳送許可介面 TX_EN為一 (預設之)低電位輸出)，實體層電路 14不會接收經資料傳送介面 TXD由媒體控制層電路 12傳送來的資料。

請繼續參閱圖一，關於低腳數媒體獨立介面 RMII 10於接收端 18的部分，包含有一參考時脈介面 REF_CLK、一接收許可介面 CRS_DV、一錯誤偵測介面 RX_ER、以及一資料接收介面 RXD。參考時脈介面 REF_CLK用來提供一參考時脈 (Reference Clock)予該低腳數媒體獨立介面 RMII 10所有的細部介面，包含資料傳送介面 TXD、傳送許可介面 TX_EN、接收許可介面 CRS_DV、錯誤偵測介面 RX_ER、以及資料接收介面 RXD，而該參考時脈可由媒體控制層電路 12或一外部信號產生源 (External Source)所產生，如此一來，低腳數媒體獨立介面 RMII 10所有的細部介面之運作係同步 (Synchronous)於此參考時脈。請見圖二，圖二為圖一低腳數媒體獨立介面 RMII 10於接收端 18之複數個介運作作的時序圖。資料接收介面 RXD是用來將資料由實體層電路 14傳送至媒體控制層電路 12，當低腳數媒體獨立介面 RMII 10處於一閒置 (Idle)階段，即接收許可介面 CRS_DV處於一預設之低電位時，即使有資料自該實體層電

五、發明說明 (4)

路 14 傳輸，媒體控制層電路 12 亦拒收 (Reject) 由實體層電路 14 經資料接收介面傳送來的資料；而在接收端 18 開始運作時，當實體層電路 14 未偵測到該錯誤碼 (Invalid Code) 或其他錯誤訊息，且當實體層電路 14 偵測到有任何需要被傳送之資料時，低腳數媒體獨立介面 RMII 10 離開閒置 (Idle) 階段，接收許可介面 CRS_DV 轉換為一預設之高電位，錯誤偵測介面 RX_ER 處於一低電位，此時低腳數媒體獨立介面 RMII 10 位於一傳輸許可階段，媒體控制層電路 12 可接收由實體層電路 14 經資料接收介面 RXD 傳送來的資料，完成資料傳輸。當實體層電路 14 偵測到有任何錯誤碼 (Invalid Code) 或其他錯誤訊息時，錯誤偵測介面 RX_ER 會躍升至一 (預設之) 高電位，此時，即使有資料繼續自實體層電路 14 傳送而來，這些資料會被媒體控制層電路 12 判斷為非正確 (Invalid) 之資料，此時低腳數媒體獨立介面 RMII 10 位於一偵測錯誤階段，而媒體控制層電路 12 會拒收由實體層電路 14 經資料接收介面傳送來的資料，資料傳輸則因此中斷，如此一來，錯誤偵測介面 RX_ER 能提昇低腳數媒體獨立介面 RMII 10 傳輸資料的正確率。

然而，在盡量降低接腳數目的前提下，並符合 IEEE 802.3u 所制定之低腳數媒體獨立介面 RMII 10 之規格的考量，若能由上述現行的低腳數媒體獨立介面 RMII 10 中再經由適當的設計，再更進一步降低接腳數目，則能夠大幅降低相關產品的成本。



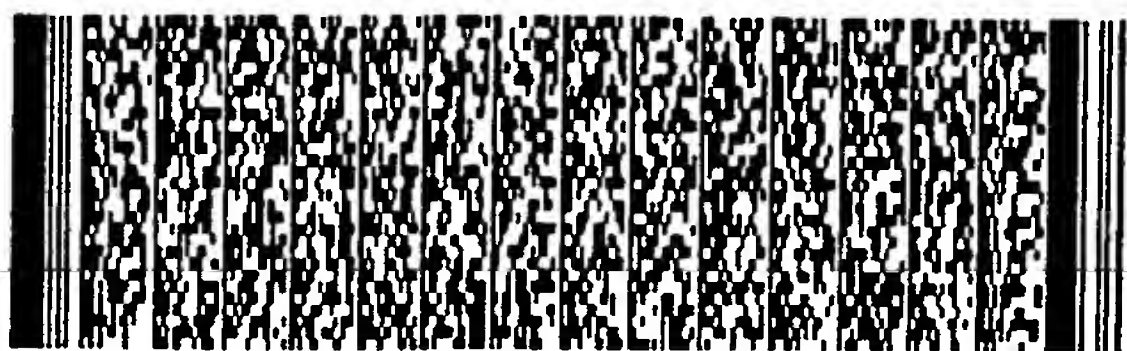
五、發明說明 (5)

發明內容

因此本發明的主要目的在於提供一種新型整合式低腳數媒體獨立介面 (Integrated RMII) 以及利用此整合式低腳數媒體獨立介面以傳輸資料的方法，更進一步的降低所需的介面接腳數，以解決上述問題。

在本發明中，我們以 IEEE 802.3u 所制定之低腳數媒體獨立介面 RMII 之規格為基礎，將原先之錯誤偵測介面 RX_ER 整合入接收許可介面 CRS_DV 之中，可省卻此錯誤偵測介面 RX_ER 的使用，也因此可降低此低腳數媒體獨立介面 RMII 中所使用之接腳數目。

本發明之目的為提供一種整合式低腳數媒體獨立介面 (Integrated Reduced Media Independent Interface)，用來連接一媒體控制層電路 (MAC Circuit) 以及一實體層電路 (PHY Circuit)，該整合式低腳數媒體獨立介面在資料傳輸方面係僅僅由下列幾個介面所組成的：一資料傳送介面 (TXD)，用來將資料由該媒體控制層電路傳送至該實體層電路；一傳送許可介面 (TX_EN)，用來控制該資料傳送介面之運作；一參考時脈介面 (REF_CLK)，用來提供一參考時脈 (Reference Clock) 予該整合式低腳數媒體獨立介面；一接收許可介面 (CRS_DV)，用來於一偵測錯誤階段



五、發明說明 (6)

及一閒置 (Idle) 階段為一低電位輸出，於一傳輸許可階段為一高電位輸出；以及一資料接收介面 (RXD)，用來將資料由該實體層電路傳送至該媒體控制層電路。當然，與資料傳輸不相關的部份，該整合式低腳數媒體獨立介面可以包含其它的元件，但這方面與本發明無關，將省略不計。

本發明之另一目的為提供一種利用一整合式低腳數媒體獨立介面 (Reduced RMII) 以傳輸資料的方法，該整合式低腳數媒體獨立介面係用來連接一媒體控制層電路 (MAC Circuit) 以及一實體層電路 (PHY Circuit)，該整合式低腳數媒體獨立介面在將資料自實體層電路傳輸到媒體控制電路的部份，僅僅包含有一接收許可介面 (CRS_DV) 以及一資料接收介面 (RXD)，該方法包含有：使用該實體層電路於一偵測錯誤階段及一閒置 (Idle) 階段提供一低電位輸出至該接收許可介面；使用該實體層電路於一傳輸許可階段提供一高電位輸出至該接收許可介面；當該接收許可介面為該高電位輸出時，使用該媒體控制層電路接收由該實體層電路經該資料接收介面傳送來的資料；以及當該接收許可介面為該低電位輸出時，使用該媒體控制層電路拒收 (Reject) 由該實體層電路經該資料接收介面傳送來的資料。

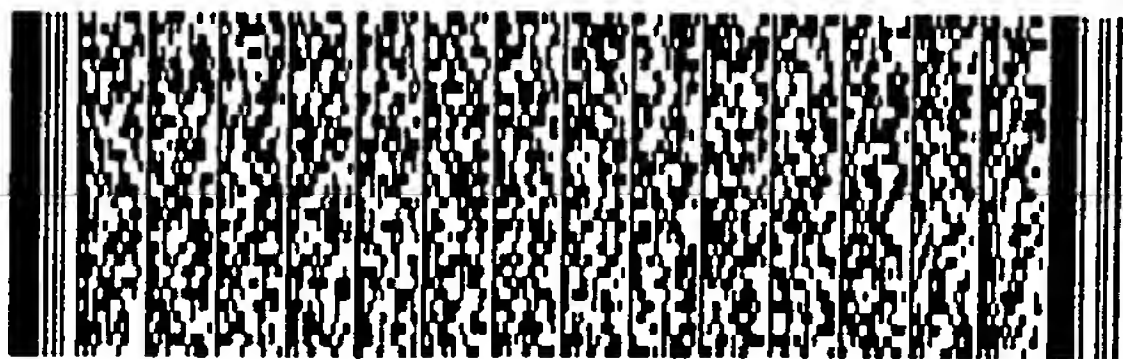
顯然地，與習知技術相比較，本發明透過將既有之錯誤偵測介面整合至接收許可介面中，可以讓整合後之接收

五、發明說明 (7)

許可介面具有習知錯誤偵測介面與習知接收許可介面二者之功能，進而在不影響低腳數媒體獨立介面之功能的前提下，減少低腳數媒體獨立介面之接腳數目，進而節省材料成本與降低製造成本。

實施方式

本發明之主要技術特徵在於，以 IEEE 802.3 及 IEEE 802.3u 所制定之低腳數媒體獨立介面 RMII 之規格為基礎，將既有的錯誤偵測介面 RX_ER (特別是其功能) 整合納入接收許可介面 CRS_DV 之中，如此則省卻此錯誤偵測介面 RX_ER 的使用，請參閱圖三，圖三為本發明之整合式低腳數媒體獨立介面 20 之示意圖。與前述習知相較，本發明之整合式低腳數媒體獨立介面 20 同樣用來連接一媒體控制層電路 22 (MAC Circuit) 以及一實體層電路 24 (PHY Circuit)，然而，在省卻了錯誤偵測介面 RX_ER 之後，僅包含有一用來將資料由媒體控制層電路 22 傳送至實體層電路 24 之資料傳送介面 TXD、一用來控制該資料傳送介面 TXD 之運作的傳送許可介面 TX_EN、一用來提供一參考時脈的參考時脈介面 REF_CLK、一接收許可介面 CRS_DV、及用來資料由實體層電路 24 傳送至媒體控制層電路 22 的資料接收介面 RXD。與圖一實施例相同，參考時脈可由媒體控制層電路 22 或一外部信號產生源 (External Source) 所產生，以提供資料傳送介面 TXD、傳送許可介面 TX_EN、接收



五、發明說明 (8)

許可介面 CRS_DV、以及資料接收介面 RXD同步 (Synchronous)運作的依據。

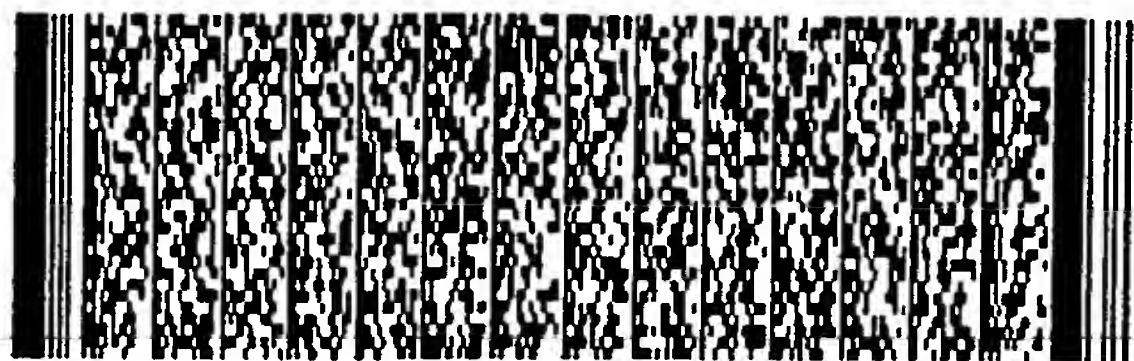
請同時參閱圖四，圖四為圖三整合式低腳數媒體獨立介面 20(Integrated RMII)之複數個介面運作的時序圖。在實際實施時，資料接收介面 RXD實為一二元傳輸線路，分為 RXD[0]、RXD[1]，資料接收介面 RXD(RXD[0]、RXD[1])係於參考時脈之任一時脈週期 (Clock Period)內將一二位元之數位資料不斷由實體層電路 24傳送至媒體控制層電路 22，當接收許可介面 CRS_DV一開始處於一閒置 (Idle)階段 (預設之低電位)時，媒體控制層電路 22不接收由實體層電路 24經資料接收介面 RXD傳送來的資料。在系統開始運作時，當實體層電路 24未偵測到該錯誤碼 (Invalid Code)或其他錯誤訊息，且當實體層電路 24偵測到有任何需要被傳送之資料時，整合式低腳數媒體獨立介面 20離開閒置 (Idle)階段，接收許可介面 CRS_DV轉換為一預設之高電位，此時整合式低腳數媒體獨立介面 20位於一傳輸許可階段，媒體控制層電路 22可接收由實體層電路 24經資料接收介面 RXD傳送來的資料，完成資料傳輸的功能。而值得注意的是，當實體層電路 24偵測到有任何錯誤 (Invalid Code)或其他錯誤訊息時，由於本發明之架構去除了錯誤偵測介面 RX_ER的運作，接收許可介面 CRS_DV負起警示錯誤的功能，意即，此時，接收許可介面 CRS_DV會立即轉換為一 (原先預設之)低電位，使得媒體控制層電

五、發明說明 (9)

路 22 會將由資料接收介面 RXD 傳來的資料視為非正確 (Invalid) 之資料，而拒收這些資料，資料傳輸則因此中斷，此時整合式低腳數媒體獨立介面 20 位於一偵測錯誤階段，如此一來，資料接收介面 RXD 則能完全取代原先圖一中錯誤偵測介面 RX_ER 的功能，而同樣確保傳輸資料的正確率。

對照習知圖二與本發明圖四之時序圖即可明顯看出前述本發明之技術特徵，在圖二中之偵測錯誤階段是由錯誤偵測介面 RX_ER 提高電位以達成相關功能，而在時域上同一時刻點，若進入偵測錯誤階段，於圖四中所示，本發明整合式低腳數媒體獨立介面 20 即是以將接收許可介面 CRS_DV 降低電位來達成相關功能，同樣達到讓媒體控制層電路 22 視傳來的資料為非正確 (Invalid) 之資料並加以拒絕。

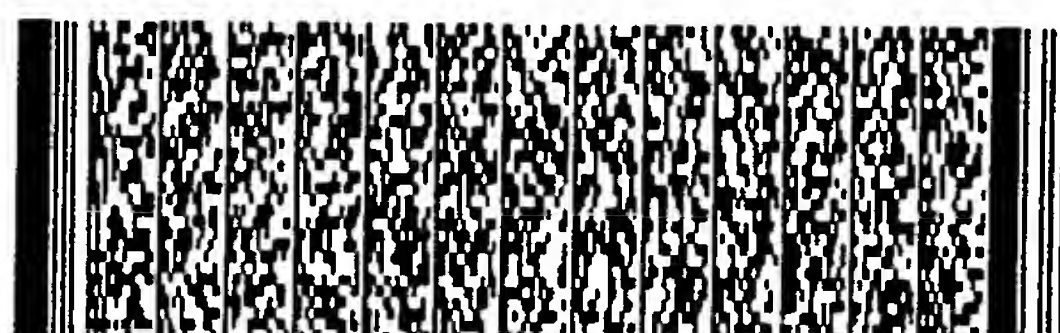
簡單歸納而言，在圖三實體層電路 24 的控制下，合併圖一錯誤偵測介面 RX_ER 的功能至接收許可介面 CRS_DV 後，接收許可介面 CRS_DV 會於偵測錯誤階段 (當實體層電路 24 偵測到一錯誤碼或其他錯誤訊息) 及一原先之閒置 (Idle) 階段 (系統起始 (Reset)、沒有待傳的資料、或實體層電路 24 (或媒體控制層電路 22) 未運作的情況下) 為一低電位輸出，而於一傳輸許可階段 (當實體層電路 24 未偵測到該錯誤碼或其他錯誤訊息，且偵測到有任何需要被傳送



五、發明說明 (10)

之資料時)為一高電位輸出，由於IEEE 802.3及IEEE 802.3u中關於低腳數媒體獨立介面(RMII)之規格即定為當接收許可介面CRS_DV為高電位輸出時，媒體控制層電路22會接收由實體層電路24經該資料接收介面RXD傳送來的資料，當接收許可介面CRS_DV為低電位輸出時，媒體控制層電路22會拒收由實體層電路24經該資料接收介面RXD傳送來的資料，如此一來，在任何錯誤碼或錯誤訊息發生時，無須藉由圖一錯誤偵測介面RX_ER的電壓躍起以發出警示，而改以接收許可介面CRS_DV的電壓降落來達到警示和拒收資料的效果(如圖四所示)，如此一來，與習知技術相較，降低了原圖一低腳數媒體獨立介面RMII 10中所需使用之接腳數目，也可精簡一應用本發明整合式低腳數媒體獨立介面20之乙太網路(Ethernet)的系統資源。

上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知低腳數媒體獨立介面 RMII 的示意圖。

圖二為圖一低腳數媒體獨立介面 RMII 之複數個介面運作的時序圖。

圖三為本發明整合式低腳數媒體獨立介面的示意圖。

圖四為圖三整合式低腳數媒體獨立介面之複數個介面運作的時序圖。

圖式之符號說明

10	低腳數媒體獨立介面 RMII
12、22	媒體控制層電路
14、24	實體層電路
16	傳送端
18	接收端
20	整合式低腳數媒體獨立介面



六、申請專利範圍

1. 一種整合式低腳數媒體獨立介面 (Integrated Reduced Media Independent Interface)，用來連接一媒體控制層電路 (MAC Circuit) 以及一實體層電路 (PHY Circuit)，該整合式低腳數媒體獨立介面僅包含有：

一資料傳送介面 (TXD)，用來將資料由該媒體控制層電路傳送至該實體層電路；

一傳送許可介面 (TX_EN)，用來控制該資料傳送介面之運作；

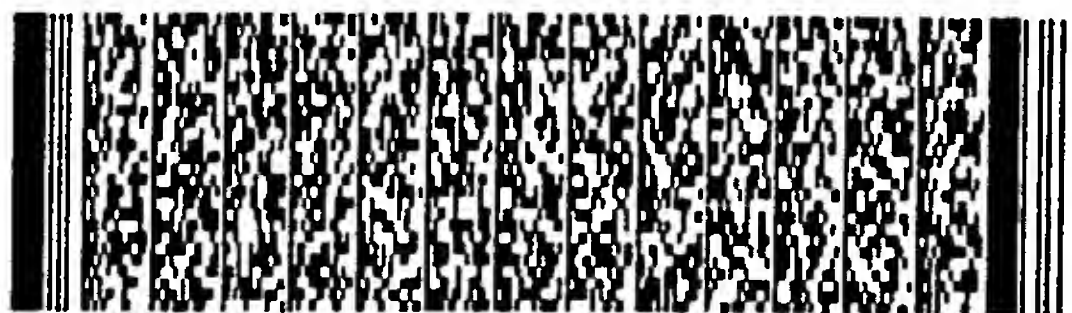
一參考時脈介面 (REF_CLK)，用來提供一參考時脈 (Reference Clock) 予該整合式低腳數媒體獨立介面；

一接收許可介面 (CRS_DV)，用來於一偵測錯誤階段及一閒置 (Idle) 階段為一低電位輸出，於一傳輸許可階段為一高電位輸出；以及

一資料接收介面 (RXD)，用來將資料由該實體層電路傳送至該媒體控制層電路。

2. 如申請專利範圍第 1 項之整合式低腳數媒體獨立介面，其中當該接收許可介面為該高電位輸出時，該媒體控制層電路接收由該實體層電路經該資料接收介面傳送來的資料；當該接收許可介面為該低電位輸出時，該媒體控制層電路不接收由該實體層電路經該資料接收介面傳送來的資料。

3. 如申請專利範圍第 1 項之整合式低腳數媒體獨立介



六、申請專利範圍

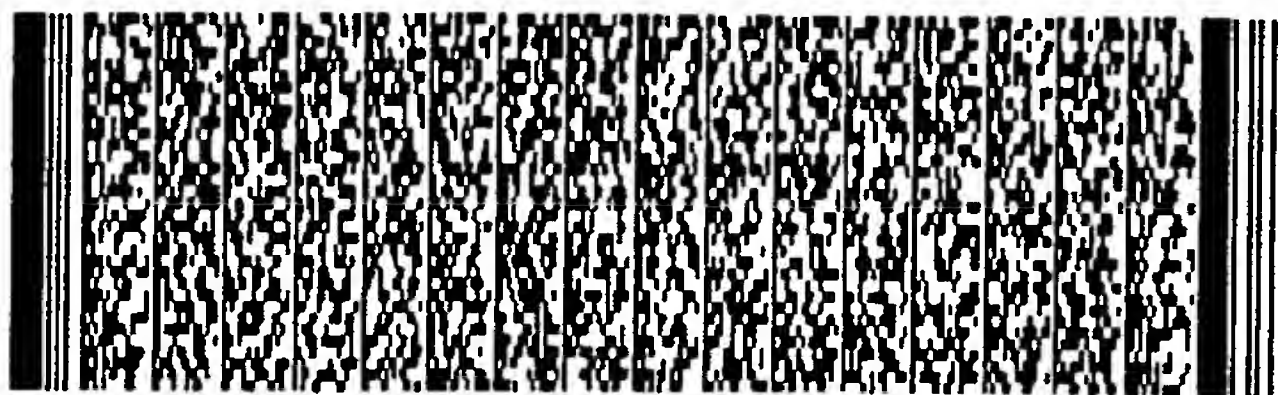
面，其中當該實體層電路偵測到一錯誤碼 (Invalid Code) 或其他錯誤訊息時，該整合式低腳數媒體獨立介面係位於該偵測錯誤階段。

4. 如申請專利範圍第3項之整合式低腳數媒體獨立介面，其中當該實體層電路未偵測到該錯誤碼或其他錯誤訊息，且當該實體層電路偵測到有任何需要被傳送之資料時，該整合式低腳數媒體獨立介面係位於該傳輸許可階段。

5. 如申請專利範圍第1項之整合式低腳數媒體獨立介面，其中當該接收許可介面為該高電位輸出時，該資料接收介面係於該參考時脈之任一時脈週期 (Clock Period) 內將一二位元之數位資料由該實體層電路傳送至該媒體控制層電路。

6. 如申請專利範圍第1項之整合式低腳數媒體獨立介面，其中該參考時脈係由該媒體控制層電路或一外部信號產生源 (External Source) 所產生。

7. 如申請專利範圍第6項之整合式低腳數媒體獨立介面，其中該資料傳送介面、該傳送許可介面、該接收許可介面、以及該資料接收介面之運作係同步 (Synchronous)



六、申請專利範圍

於該參考時脈。

8. 如申請專利範圍第1項之整合式低腳數媒體獨立介面，其係應用於一乙太網路(Ethernet)中。

9. 如申請專利範圍第1項之整合式低腳數媒體獨立介面，其係符合IEEE 802.3及IEEE 802.3u中關於低腳數媒體獨立介面(RMII)之規定。

10. 一種利用一整合式低腳數媒體獨立介面(Reduced Media Independent Interface, RMII)以傳輸資料的方法，該整合式低腳數媒體獨立介面係用來連接一媒體控制層電路(MAC Circuit)以及一實體層電路(PHY Circuit)，該整合式低腳數媒體獨立介面包係僅僅使用一接收許可介面(CRS_DV)以及一資料接收介面(RXD)來將資料資料自該實體層電路傳輸至該媒體控制電路，該方法包含有：

使用該實體層電路於一偵測錯誤階段及一閒置(Idle)階段提供一低電位輸出至該接收許可介面；

使用該實體層電路於一傳輸許可階段提供一高電位輸出至該接收許可介面；

當該接收許可介面為該高電位輸出時，使用該媒體控制層電路接收由該實體層電路經該資料接收介面傳送來的資料；以及

當該接收許可介面為該低電位輸出時，使用該媒體控

六、申請專利範圍

制層電路拒收 (Reject) 由該實體層電路經該資料接收介面傳送來的資料。

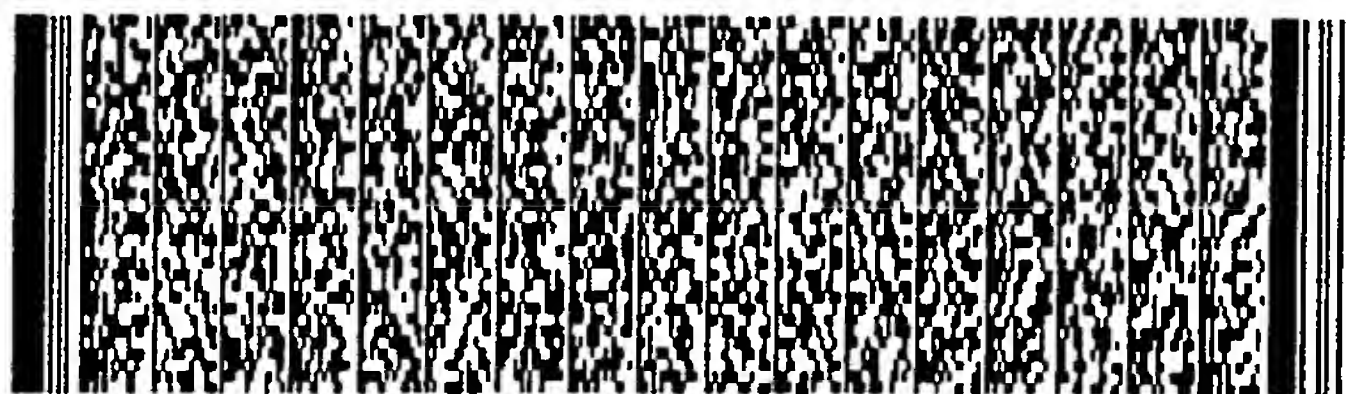
11. 如申請專利範圍第 10 項所述之方法，其中當該實體層電路偵測到一錯誤碼 (Invalid Code) 或其他錯誤訊息時，該整合式低腳數媒體獨立介面係位於該偵測錯誤階段。

12. 如申請專利範圍第 11 項所述之方法，其中當該實體層電路未偵測到該錯誤碼或其他錯誤訊息，且當該實體層電路偵測到有任何需要被傳送之資料時，該整合式低腳數媒體獨立介面係位於該傳輸許可階段。

13. 如申請專利範圍第 10 項所述之方法，其中該整合式低腳數媒體獨立介面另包含有一參考時脈介面 (REF_CLK)，該方法另包含有：

使用該媒體控制層電路或一外部信號產生源 (External Source) 產生一參考時脈 (Reference Clock) 至該參考時脈介面。

14. 如申請專利範圍第 13 項所述之方法，其中當該接收許可介面為該高電位輸出時，該資料接收介面係於該參考時脈之任一時脈週期 (Clock Period) 內將一二位元之數位資料由該實體層電路傳送至該媒體控制層電路。



六、申請專利範圍

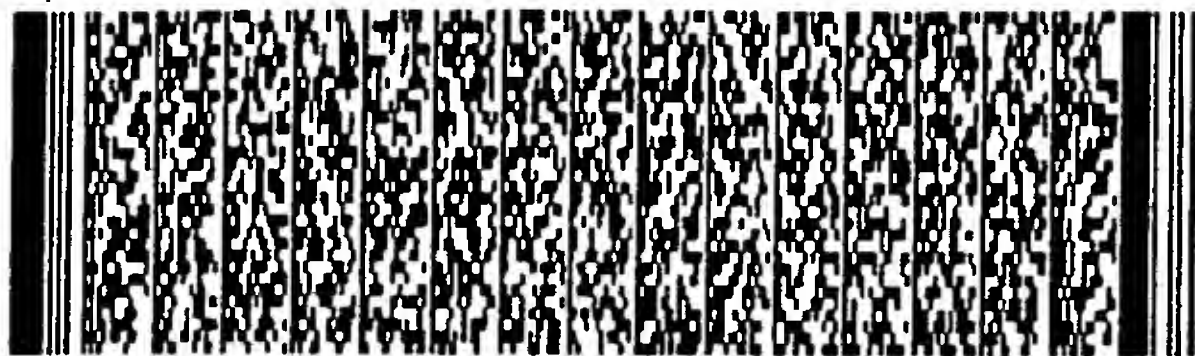
15. 如申請專利範圍第14項所述之方法，其中該接收許可介面以及該資料接收介面之運作係同步(Synchronous)於該參考時脈。

16. 如申請專利範圍第10項所述之方法，其中該整合式低腳數媒體獨立介面係應用於一乙太網路(Ethernet)中。

17. 如申請專利範圍第10項所述之方法，其中該整合式低腳數媒體獨立介面係符合IEEE 802.3及IEEE 802.3u中關於低腳數媒體獨立介面(RMII)之規定。



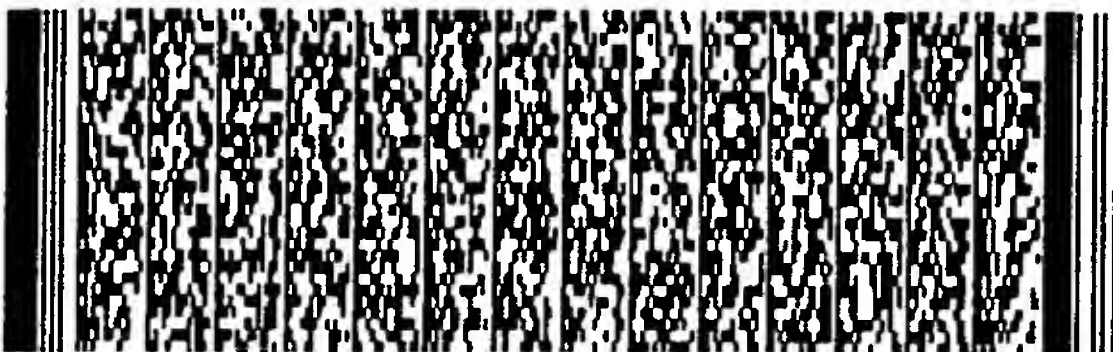
第 1/20 頁



第 2/20 頁



第 2/20 頁



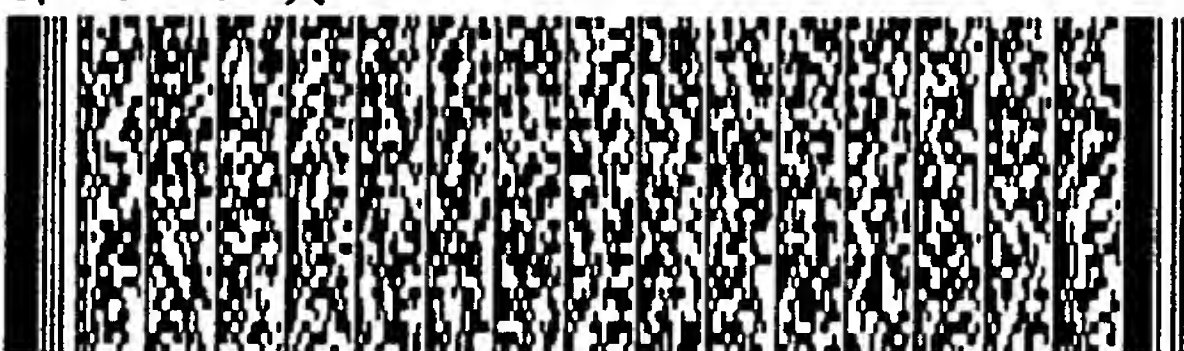
第 3/20 頁



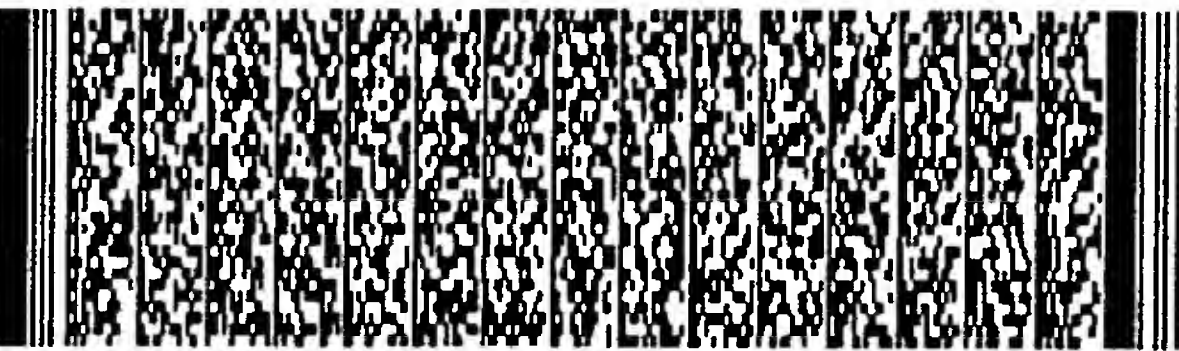
第 4/20 頁



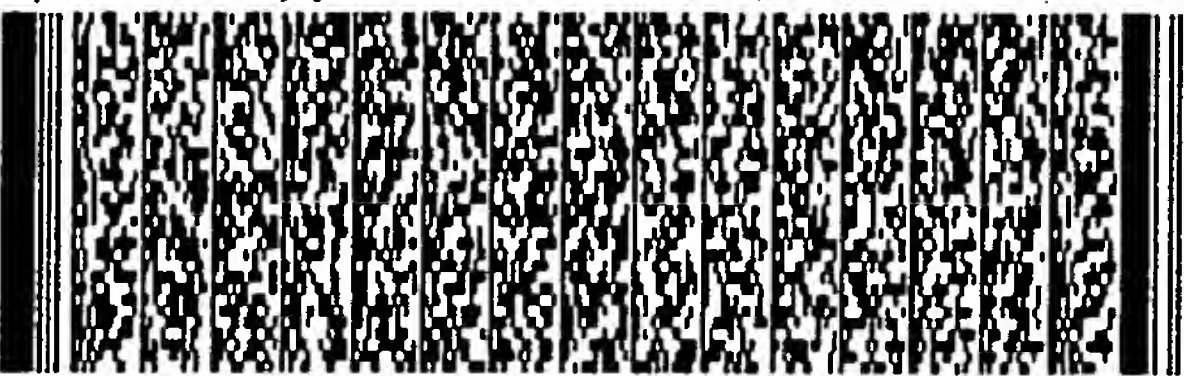
第 5/20 頁



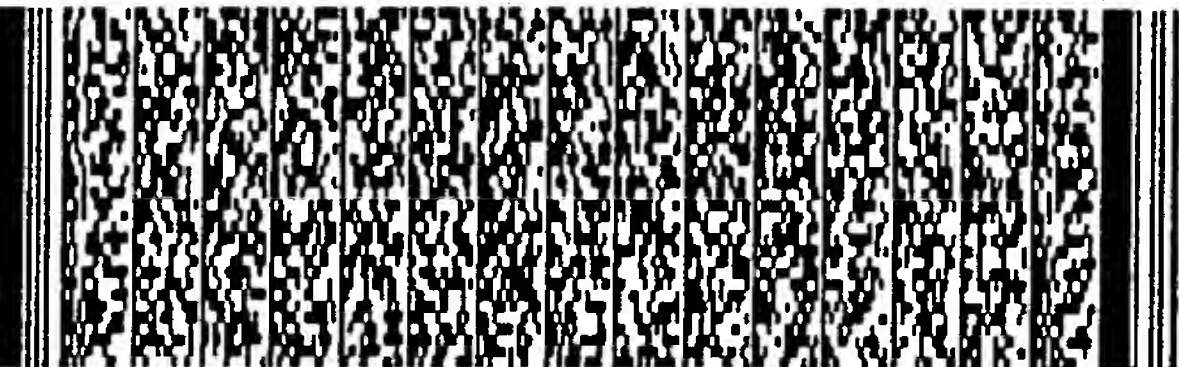
第 5/20 頁



第 6/20 頁



第 6/20 頁



第 7/20 頁



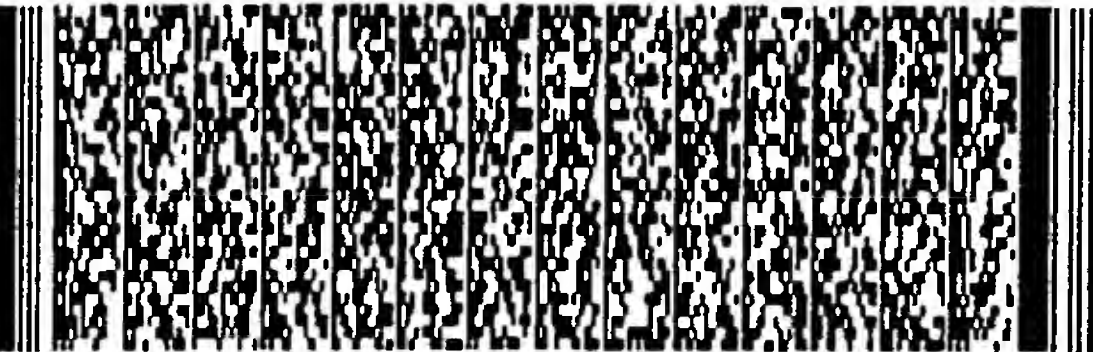
第 7/20 頁



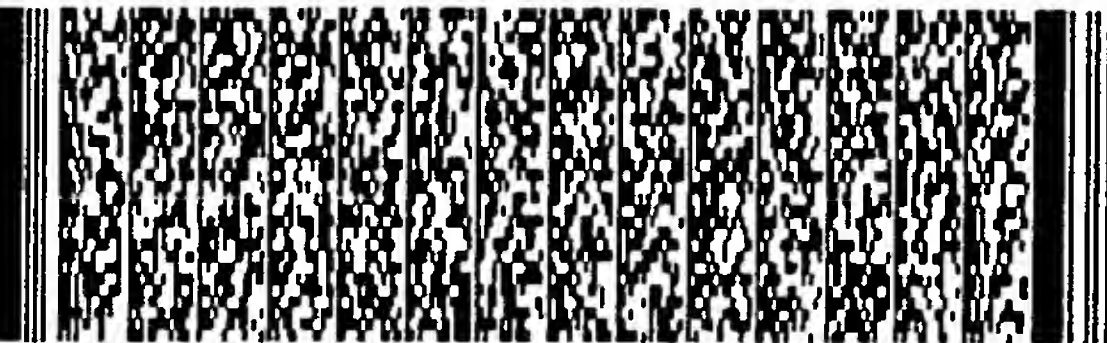
第 8/20 頁



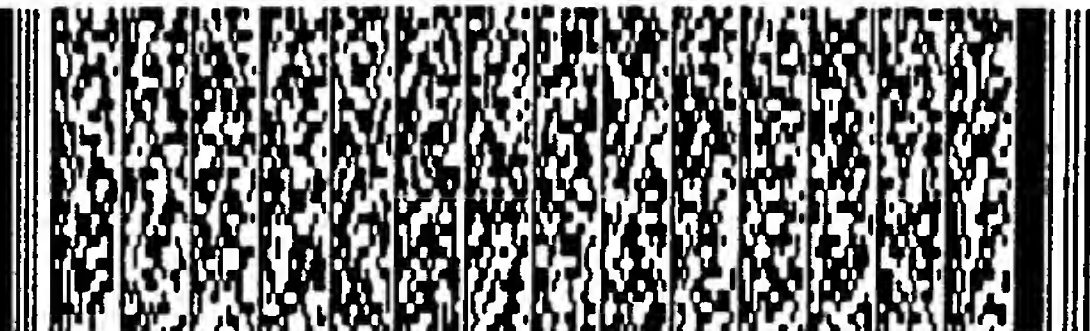
第 8/20 頁



第 9/20 頁

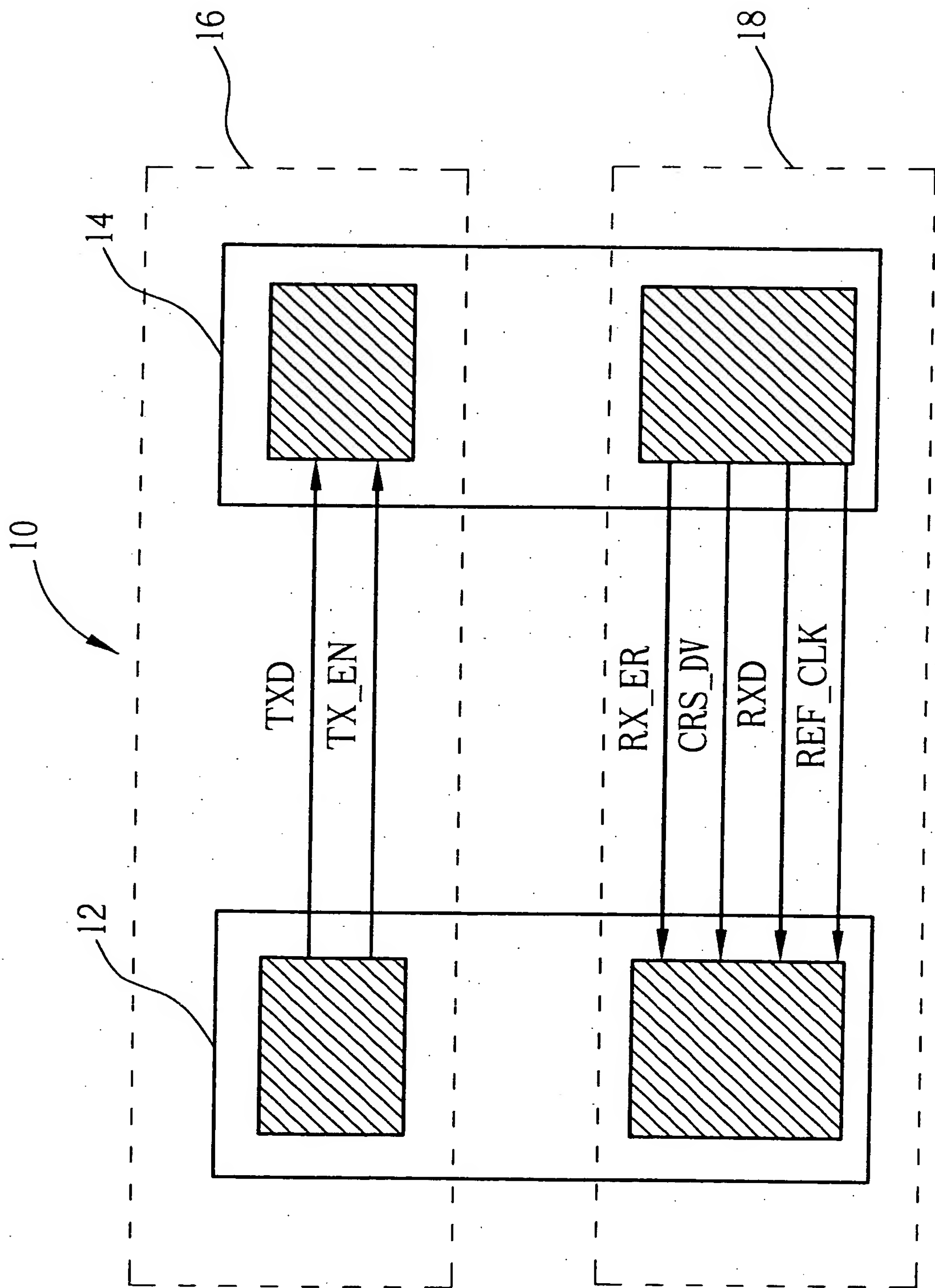


第 9/20 頁

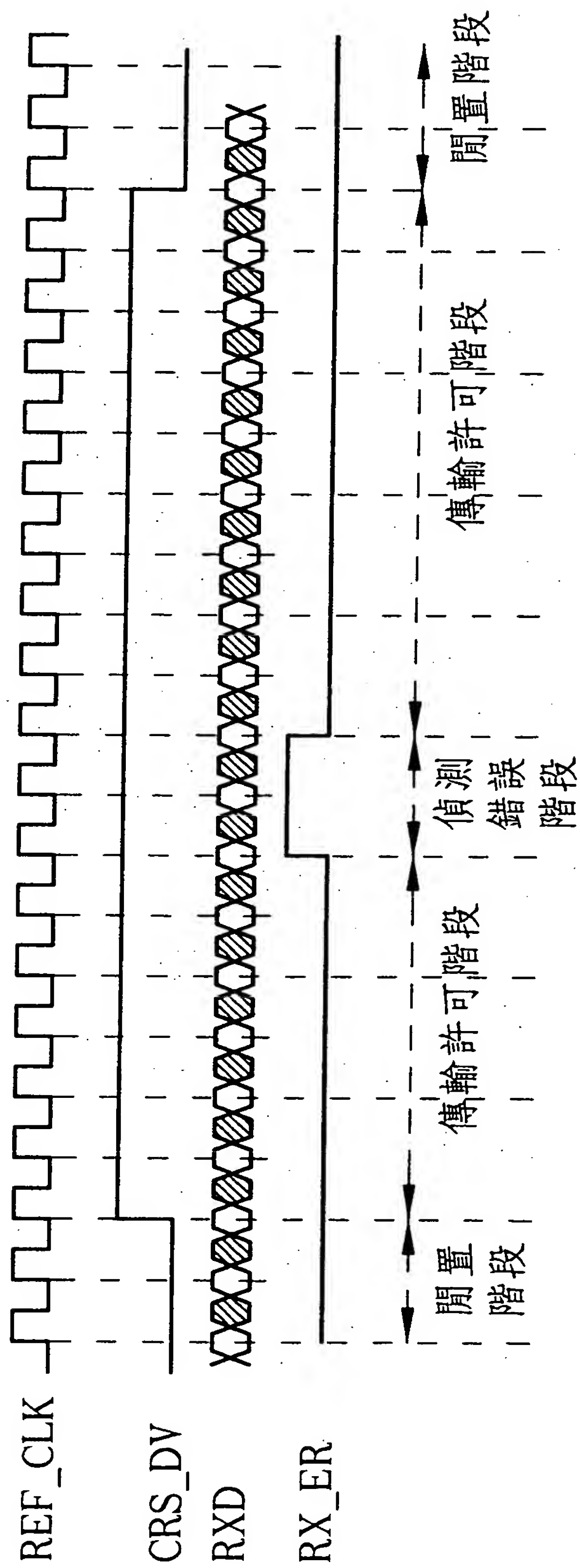


第 10/20 頁

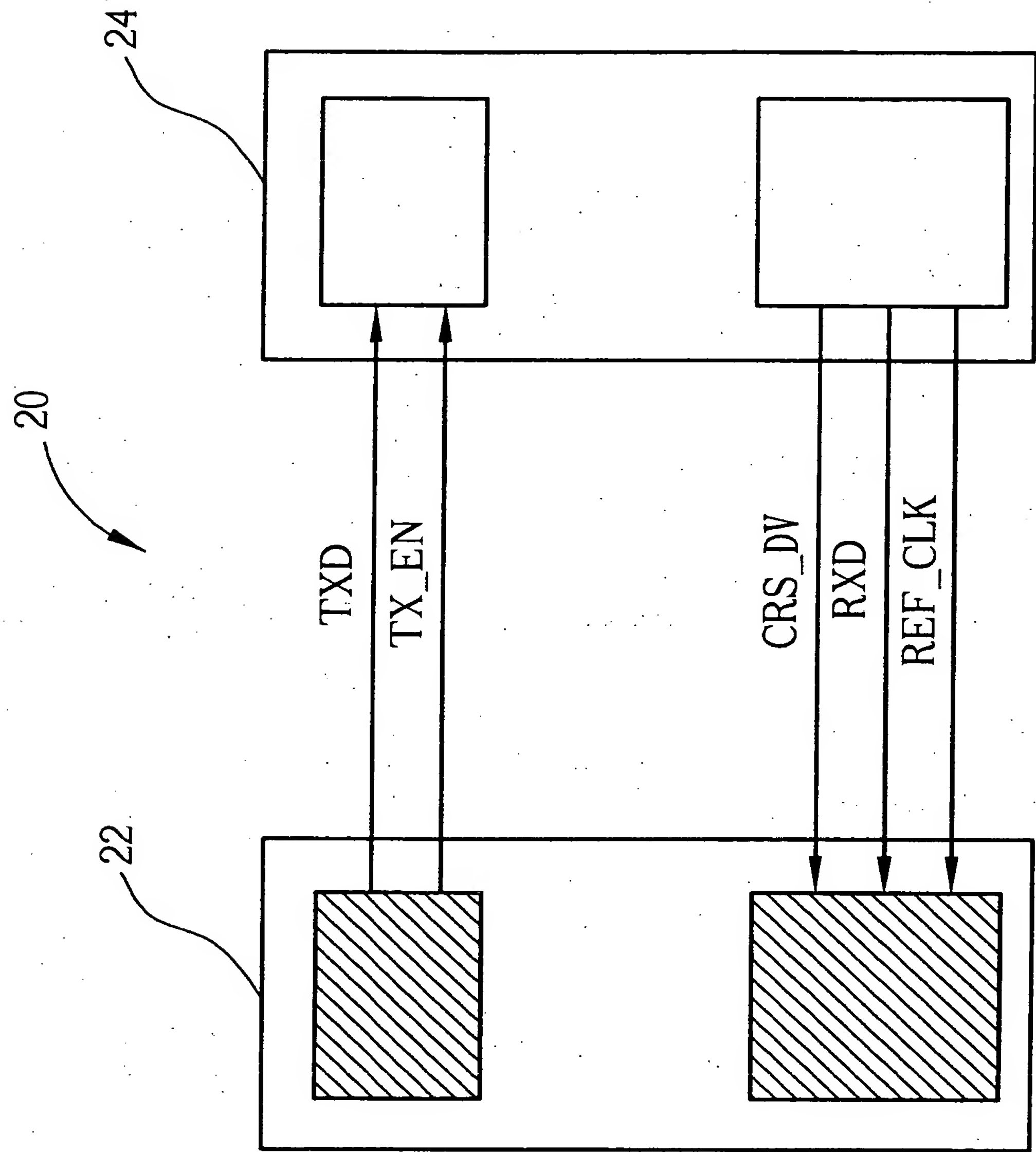




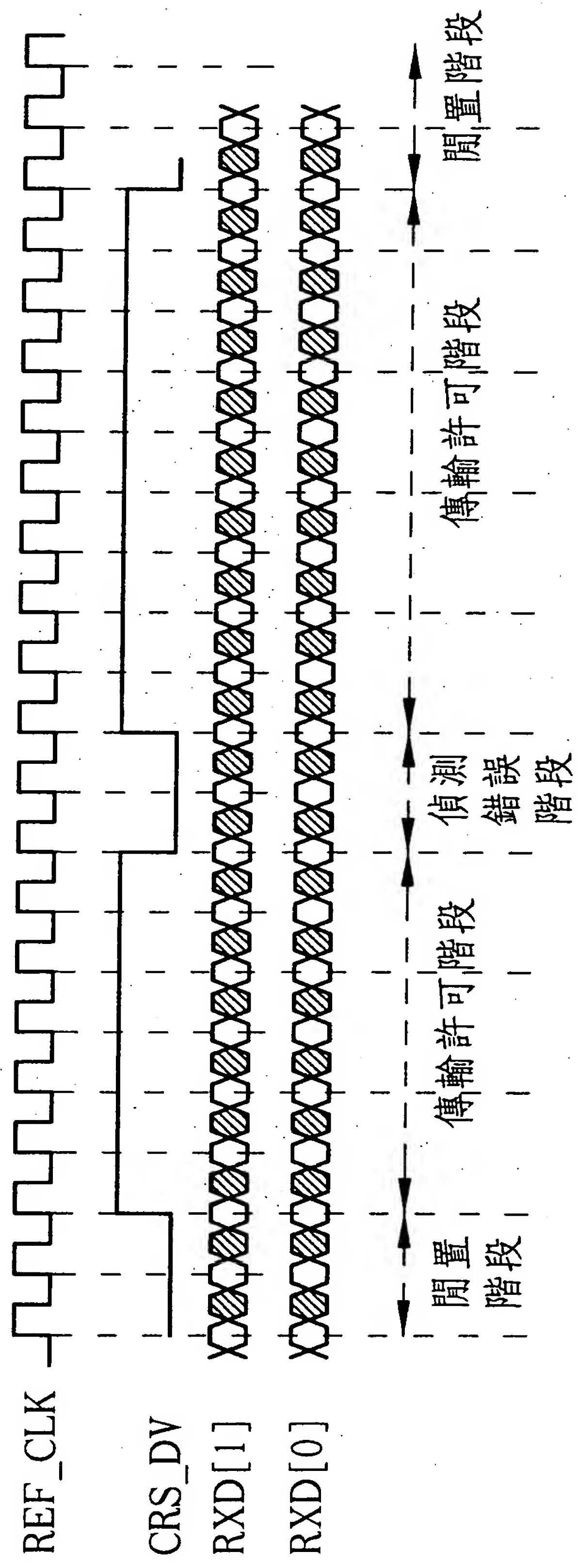
圖一



圖二

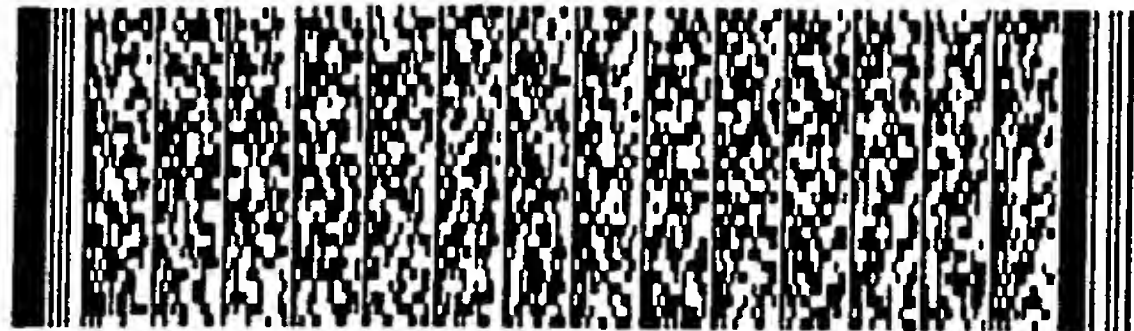


圖三

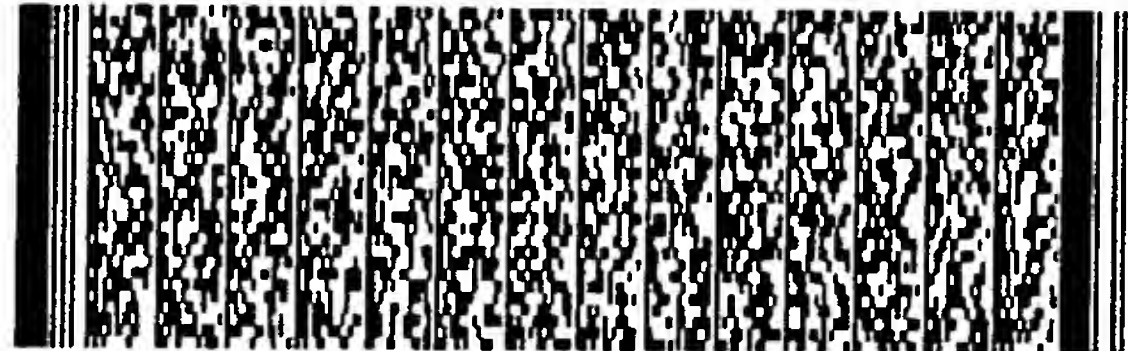


圖四

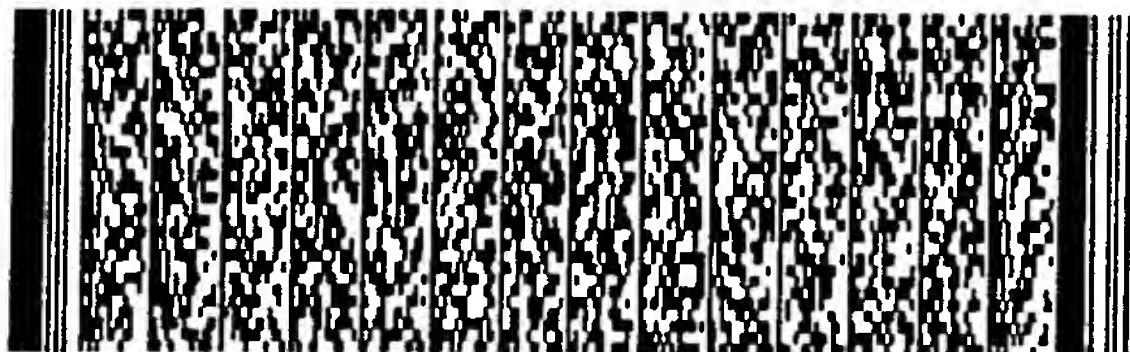
第 10/20 頁



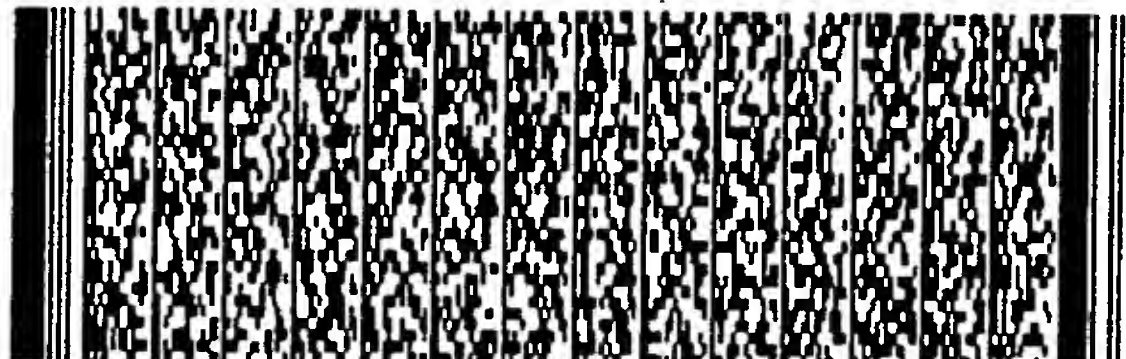
第 11/20 頁



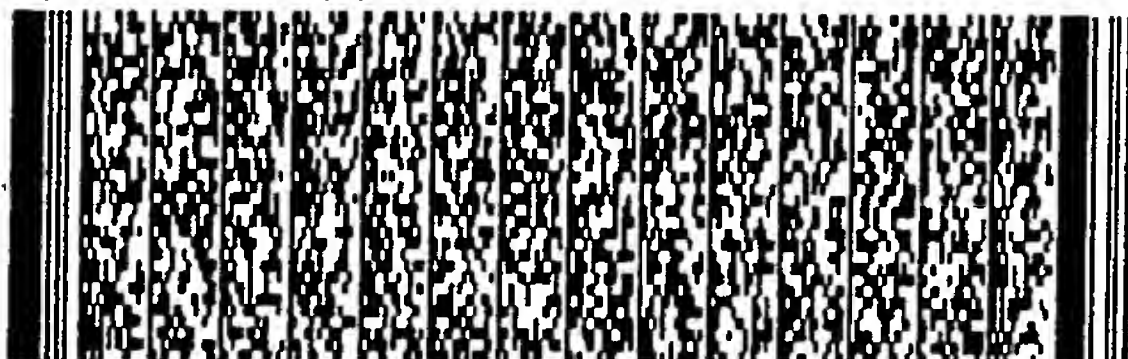
第 11/20 頁



第 12/20 頁



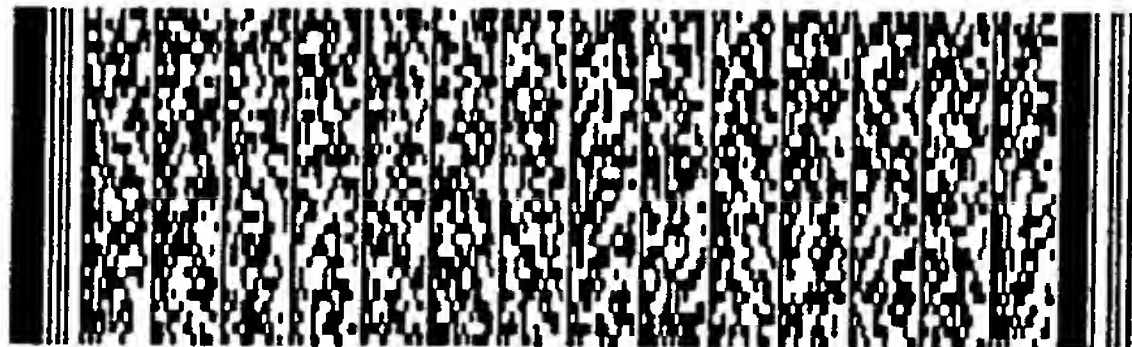
第 12/20 頁



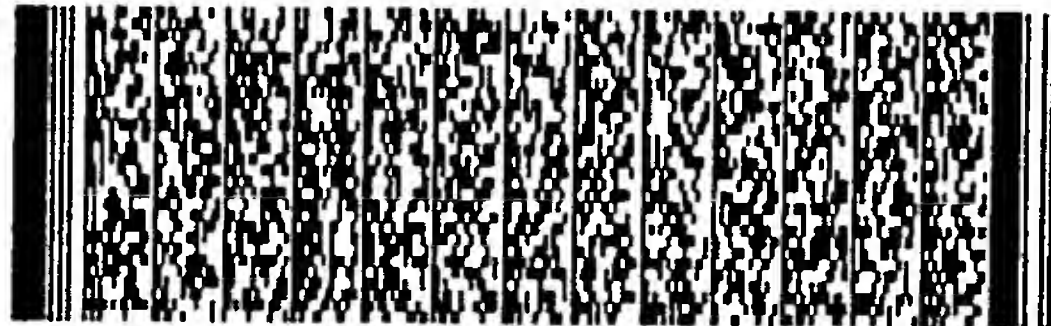
第 13/20 頁



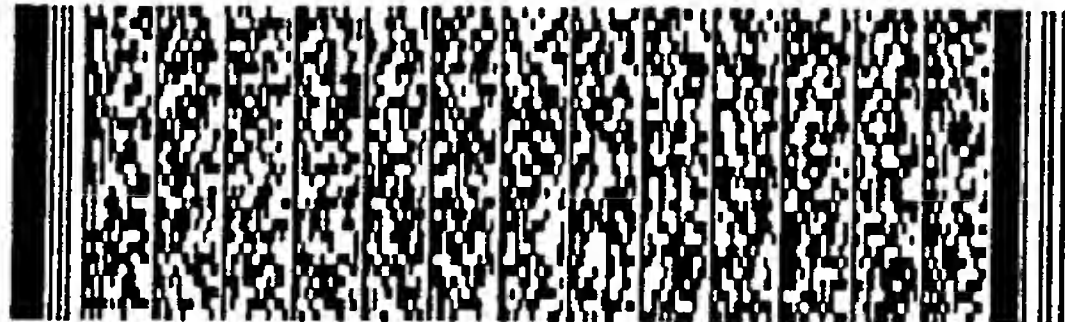
第 13/20 頁



第 14/20 頁



第 14/20 頁



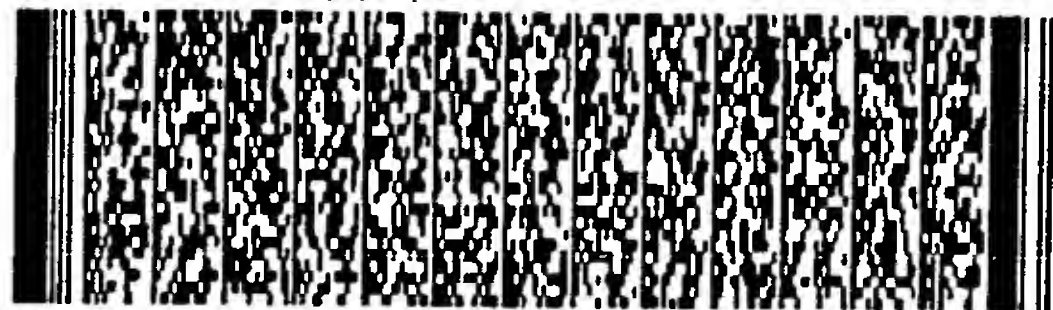
第 15/20 頁



第 16/20 頁



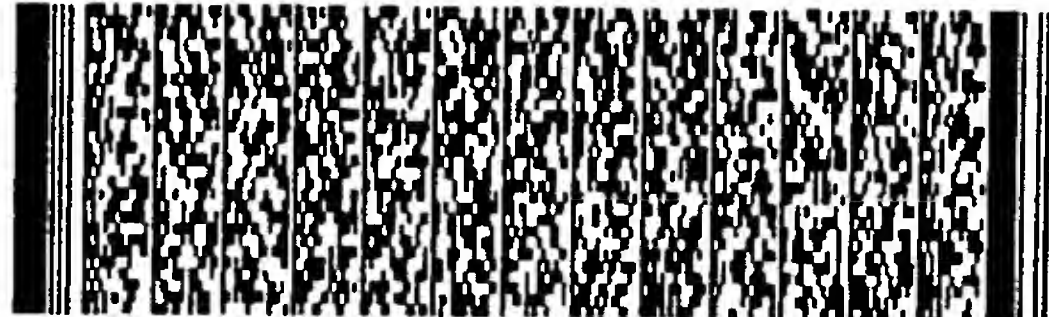
第 16/20 頁



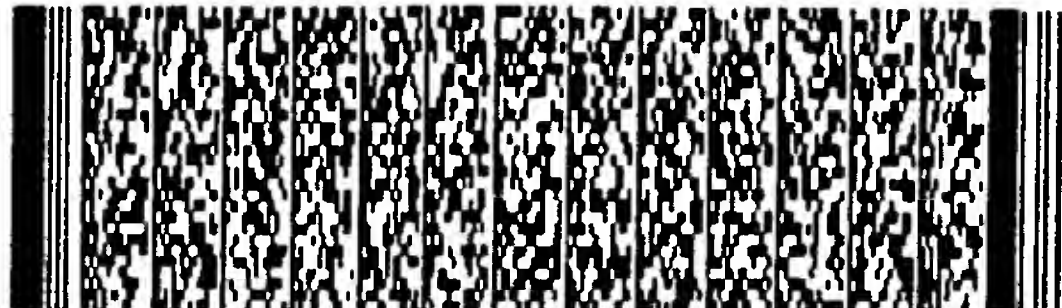
第 17/20 頁



第 18/20 頁



第 18/20 頁



第 19/20 頁



